

Foreign Priority



⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 199 42 879 A 1**

⑤ Int. Cl. 7:
H 01 L 29/38
H 01 L 29/861

⑲ Aktenzeichen: 199 42 879.4
⑳ Anmeldetag: 8. 9. 1999
㉑ Offenlegungstag: 15. 3. 2001

DE 199 42 879 A 1

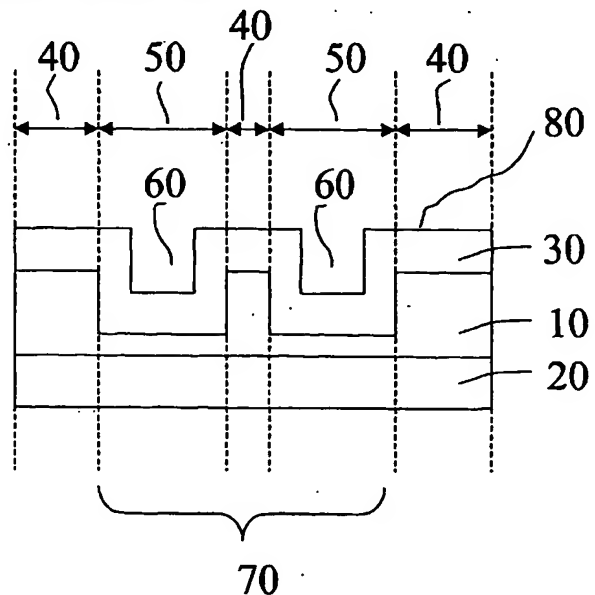
⑦ Anmelder:
Robert Bosch GmbH, 70469 Stuttgart, DE

⑧ Erfinder:
Spitz, Richard, 72766 Reutlingen, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

④ Halbleiterelement und Verfahren zur Herstellung des Halbleiterbauelements

⑤ Es wird ein Halbleiterbauelement und ein Verfahren zu seiner Herstellung vorgeschlagen, das die Bereitstellung eines Schaltelements für hohe Schaltfrequenzen ermöglicht, ohne daß immer vorhandene Streuinduktivitäten zu hohen Störspannungsspitzen führen. Dazu sind in die Oberfläche des Wafers eingebrachte Gräben vorgesehen, die zu einer Mittelzone (10) mit lateral variabler Dicke führt. Erste Bereiche (40) dieser Mittelzone (10) gewährleisten sanften Ausräumstromabfall, zweite Bereiche (50) kurze Schaltzeiten und niedrige Flußspannung.



DE 199 42 879 A 1

Beschreibung

Stand der Technik

Die Erfindung geht aus von einem Halbleiterbauelement bzw. einem Verfahren zur Herstellung nach der Gattung der unabhängigen Ansprüche. Aus der DE 36 33 161 A1 ist bereits eine Gleichrichterdiode bekannt, bei der neben einer einfachen pn-Schichtenfolge weitere Layoutmaßnahmen vorgesehen sind zur Erzielung eines verbesserten Erholungsverhaltens (engl. "recovery behavior") bei Kommutierung.

Vorteile der Erfindung

Die erfindungsgemäße Anordnung beziehungsweise das erfindungsgemäße Verfahren mit den kennzeichnenden Merkmalen der unabhängigen Ansprüche haben demgegenüber den Vorteil, ohne zusätzliche Layoutmaßnahmen die Bereitstellung von Halbleiterbauelementen mit hohen Taktfrequenzen und damit verbunden kleinen Schaltzeiten zu ermöglichen, ohne daß der Ausräumstrom beim Umpolen in Sperrichtung steil abfällt. Dadurch wird in einfacher Weise sichergestellt, daß trotz kurzer Schaltzeiten keine steilen Stromabrisse aufgrund immer vorhandener Streuinduktivitäten zu hohen Störspannungsspitzen führen; somit wird es möglich, in einfacher Weise schnell schaltende Bauelemente in Kraftfahrzeugen für Gleichrichteranordnungen einzusetzen, bei denen ansonsten solche Spannungsspitzen beispielsweise den Radioempfang stören würden. Darüber hinaus gewährleistet die erfindungsgemäße Diode neben der kurzen Schaltzeit und einem sanften Abfall des Ausräumstroms eine niedrige Flußspannung und somit niedrige Wärmeverluste bei Polung der am Bauelement anliegenden Spannung in Durchlaßrichtung.

Durch die in den abhängigen Ansprüchen aufgeführten Maßnahmen sind vorteilhafte Weiterbildungen und Verbesserungen der in den unabhängigen Ansprüchen angegebenen Bauelemente bzw. Verfahren möglich.

Besonders vorteilhaft ist, Gräben mit rechteckförmigem Querschnitt vorzusehen, um mit möglichst wenig Gräben das gewünschte Verhältnis zwischen Bereichen unterschiedlicher Mittelzonendicke herzustellen.

Werden die Randbereiche durch keine Vertiefungen aufweisende Bereiche gebildet, so ist das Bauelement unempfindlich gegen Beschädigungen und Verunreinigungen an der Chipkante.

Weitere Vorteile ergeben sich durch die in der Beschreibung genannten Merkmale.

Zeichnung

Ausführungsbeispiele der Erfindung sind in der Zeichnung dargestellt und in der nachfolgenden Beschreibung näher erläutert. Fig. 1 zeigt eine Gleichrichterdiode, Fig. 2 ein Diagramm, Fig. 3a eine Querschnittsseitenansicht einer Diode, Fig. 3b eine Draufsicht auf eine Diode.

Beschreibung der Ausführungsbeispiele

Fig. 1 zeigt eine Halbleiterdiode mit einer schwach n-dotierten Mittelzone 2, die auf ihrer Oberseite mit einer stark p-dotierten Schicht 1 und auf ihrer Unterseite mit einer stark n-dotierten Schicht 3 bedeckt ist. Die Schichten 1 und 3 sind mit (nicht eingezeichneten) Metallisierungen versehen.

Die Schichten 1 und 2 bilden an ihrer gemeinsamen Grenzfläche den pn-Übergang der Halbleiterdiode.

Fig. 2 zeigt ein Diagramm mit einer Zeitachse 5 und einer

Ordinatenachse 6. Dargestellt ist ein sinusförmiger Spannungsverlauf 7, der an den Schichten 1 und 3 der Halbleiterdiode der Fig. 1 angelegt ist. In Durchlaßrichtung folgt der Strom durch die Diode im wesentlichen dem Spannungsverlauf 7, also der positiven Halbwelle des Spannungsverlaufs 7 in der linken Hälfte des Diagramms. Wechselt die Spannung 7 das Vorzeichen, so wird die Diode in Sperrichtung gepolt, der Strom durch die Diode folgt noch eine kurze Zeit, die so genannte Schaltzeit 9, ungefähr dem Spannungsverlauf, bis er in die Ausräumstromkurve 8 übergeht.

Beim Umschalten von Fluß- in Sperrichtung müssen in die Mittelzone indizierte Ladungsträger ausgeräumt werden, bevor die Diode in der Lage ist, die Sperrspannung aufzunehmen. Die hierzu notwendige Zeit ist die Schaltzeit 9.

In der Querschnittsseitenansicht der Fig. 3a ist eine Schichtenfolge 10, 20, 30 dargestellt, die eine Diode bildet. Die Schicht 10 ist n-dotiert und entspricht der Dotierung eines bei der Herstellung dieses Bauelements verwendeten schwach n-dotierten Substrats. Auf der Unterseite der Schicht 10 ist eine stark n-dotierte Schicht 20 aufgebracht, die ihrerseits an ihrer Außenseite mit einer (nicht eingezeichneten) Metallisierung versehen ist. Auf der Oberseite der Schicht 10 ist eine stark p-dotierte Schicht 30 aufgebracht. In die Oberseite der Diode sind Gräben 60 eingebracht, die erste Bereiche 40 und zweite Bereiche 50 definieren. In den ersten Bereichen 40 ist die Schicht 10 dicker ausgelegt als in den zweiten Bereichen 50, während die Schicht 30 in beiden Bereichen ungefähr die gleiche Dicke aufweist. Die Gräben 60 befinden sich im Innenbereich 70 der Diode, während der restliche Bereich der Diode, der Randbereich, durch erste Bereiche 40 gebildet wird. Auf der Oberfläche 80 der Diode ist wiederum eine (nicht eingezeichnete) Metallisierung aufgebracht. In der Draufsicht in Fig. 3b ist mit der Querschnittslinie 100 die Stelle markiert, für die in Fig. 1a die Querschnittsseitenansicht abgebildet ist. Auf der Oberfläche 80 sind parallel zu den Außenkanten der Diode eingebrachte Gräben 60 ersichtlich, wobei die Gräben sich kreuzen und jeweils zwei parallele Gräben parallel zu jeder Außenkante des Bauelements angeordnet sind. Die Tiefe der Gräben 60 beträgt beispielsweise zirka 70 Mikrometer, die Dicke der Schicht 10 im Bereich 40 zirka 80 Mikrometer und die Dicke der Schicht 10 im Bereich 50 zirka 10 Mikrometer. Die Dicken der Schichten 20 und 30 betragen jeweils zirka 60 Mikrometer. Die Dotierkonzentration in der Schicht 10 beträgt beispielsweise zirka $4 \cdot 10^{14} \text{ cm}^{-3}$, die Dotierkonzentrationen an den Oberflächen der Schichten 20 und 30 (die Oberfläche der Schicht 30 ist in Fig. 3a mit Bezugszeichen 80 versehen) jeweils zirka $7 \cdot 10^{19} \text{ cm}^{-3}$.

Der Bereich 40 stellt einen hochsperrenden Diodenteil mit breiter Mittelzone 10 dar (Durchbruchspannung $\geq 200 \text{ Volt}$), der Bereich 50 einen hochsperrenden Diodenteil (Durchbruchspannung $\geq 100 \text{ Volt}$) mit schmaler Mittelzone 10. Der Bereich 40 weist aufgrund der dicken Mittelzone einen sanften Ausräumstromabfall auf, der Bereich 50 mit der schmalen Mittelzone führt zu einer kurzen Schaltzeit und einer niedrigen Flußspannung des erfindungsgemäßen Halbleiterbauelements. Der Randbereich des Chips wird durch Bereiche 40 gebildet, so daß wegen der höheren Durchbruchspannung der Bereiche 40 im Vergleich zu den Bereichen 50 die Feldstärke am Chiprand niedrig bleibt. Die Diode wird dadurch unempfindlich gegen Beschädigungen und Verunreinigungen an der Chipkante. Fließen mindestens 25% des Flußstroms der Diode durch Bereiche 40, so ist ein äußerst sanfter Stromabfall nach Umpolung der Spannung in Diodensperrichtung gewährleistet.

In einer alternativen Ausführungsform ist der Anteil der Bereiche 50 an der Gesamtchipfläche so ausgelegt, daß min-

destens 50% des Stroms durch die Bereiche 50 fließen können, um gleichzeitig zur Gewährleistung eines sanften Stromabfalls für sehr niedrige Flußspannungen zu sorgen. Dies kann durch eine entsprechende Anzahl von Gräben bzw. durch eine entsprechende Wahl der Breite der Gräben gewährleistet werden. Neben quadratischen Chips können auch fünf-, sechs-, oder mehreckige Chips mit den erfindungsgemäßen Gräben versehen werden, die parallel zu den jeweiligen Kanten des Chips angeordnet werden und sich entsprechend in einem fünf-, sechs-, oder mehreckigen Muster kreuzen. Beim ersten Leitfähigkeitstyp handelt es sich um eine n-Leitung, beim zweiten Leitfähigkeitstyp um eine p-Leitung. Selbstverständlich kann auch eine umgekehrte Wahl getroffen werden. Auch andere Halbleiterbauelemente als Dioden können in vorteilhafter Weise mit den erfindungsgemäßen Gräben versehen werden. Insbesondere bei Drei- oder Vierschichtdioden, also Transistor- oder Thyristordioden, bilden dann die Schichten 30 und 10 die Basis-/Kollektorschichten bzw. die p- und die n-Schicht des mittleren pn-Übergangs.

Die Halbleiterdioden gemäß Fig. 3 ermöglichen die Realisierung hoher Taktfrequenzen aufgrund ihrer kurzen Schaltzeiten. Sie sind daher insbesondere geeignet, in Kraftfahrzeug-Brückengleichrichteranordnungen eingesetzt zu werden, bei denen Taktfrequenzen verwendet werden, die deutlich über den Frequenzen normaler passiver Diodengleichrichter liegen. Bei getakteten Gleichrichtern wie beispielsweise in der nicht vorveröffentlichten deutschen Patentanmeldung mit dem Aktenzeichen 198 45 569.0 beschrieben, können mit den beschriebenen Halbleiterdioden mit Gräben Taktfrequenzen von ca. 20 kHz realisiert werden, was ca. eine Größenordnung höher ist als die konventionelle Frequenz bekannter KFZ-Gleichrichteranordnungen, die an die Drehzahl des Generators gekoppelt ist und ca. maximal 2 kHz beträgt.

Zur Herstellung eines Diodenchips nach Fig. 3 werden zunächst parallele Gräben 60 in einen Wafer gesägt, der die Dotierung der späteren Schicht 10 aufweist. Anschließend werden die stark p- und die stark n-dotierten Schichten 30 bzw. 20 simultan eindiffundiert. In einem weiteren Schritt wird auf beiden Seiten des Wafers jeweils eine Metallschicht abgeschieden. Der Wafer wird in einem weiteren Schritt durch Sägen in einzelne Chips zertrennt, wobei die Zertrennungslinien in den Bereichen 40 verlaufen, in denen die Mittelzone 10 dick ist im Vergleich zu den Bereichen 50, in den die Gräben 60 eingebracht sind. Der Chip kann beispielsweise in bekannte Einpreßdiodengehäuse eingelötet und mit Epoxidharz ummantelt werden.

Um möglichst große Bereiche 50 zu erhalten, ist es vorteilhaft, die Gräben mit rechteckigen Profilen zu sägen. Die Anzahl der Gräben pro Chip bestimmt sich aus den festgelegten Flächenproportionen von Bereich 40 zu Bereich 50 und aus der gewählten Grabenbreite.

Das erfindungsgemäße Verfahren kommt zur Bereitstellung solcher Bauelemente ohne zusätzliche Diffusionschichten bzw. ohne zusätzliche Layoutmaßnahmen aus. Es handelt sich um ein großserientaugliches, teilweise, zumindest was das Einbringen der Gräben betrifft, außerhalb des Reinraumes durchführbares Verfahren.

Patentansprüche

1. Halbleiterbauelement mit einer ersten Schicht (10) eines ersten Leitfähigkeitstyps mit einer Oberseite und einer Unterseite, wobei die Oberseite von einer zweiten Schicht (30) eines zweiten Leitfähigkeitstyps bedeckt und auf der Unterseite eine dritte Schicht (20) angeordnet ist, **dadurch gekennzeichnet**, daß die erste Schicht

infolge mindestens einer in die Oberseite eingebrachten Vertiefung (60) Bereiche (40, 50) unterschiedlicher Dicke aufweist.

2. Halbleiterbauelement nach Anspruch 1, dadurch gekennzeichnet, daß die mindestens eine Vertiefung als Graben mit rechteckförmigem Querschnitt ausgebildet ist.

3. Halbleiterbauelement nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß mindestens ein Viertel der Unterseite keine Vertiefungen aufweisende erste Bereiche (40) begrenzt.

4. Halbleiterbauelement nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß mindestens die halbe Fläche der Unterseite Vertiefungen aufweisende zweite Bereiche (50) begrenzt.

5. Halbleiterbauelement nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß ein Randbereich durch keine Vertiefungen aufweisende zweite Bereiche (40) gebildet wird.

6. Halbleiterbauelement nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die zweite Schicht (30) stark dotiert ist.

7. Halbleiterbauelement nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die dritte Schicht (20) vom ersten Leitfähigkeitstyp und stark dotiert ist.

8. Halbleiterbauelement nach Anspruch 6 und 7, dadurch gekennzeichnet, daß die erste Schicht und die dritte Schicht mit Metallisierungen versehen sind.

9. Verfahren zur Herstellung von Halbleiterbauelementen, dadurch gekennzeichnet, daß in einem Wafer eines ersten Leitfähigkeitstyps Vertiefungen eingebracht werden, in einem weiteren Schritt beide Seiten des Wafers mit Dotieratomen belegt werden und ein Diffusionsprozeß erfolgt, wobei in einem weiteren Schritt eine Zerteilung des Wafers in einzelne Chips erfolgt, so daß jeder Chip in seinem Innenbereich (70) mindestens eine Vertiefung (60) aufweist.

10. Verfahren nach Anspruch 9, dadurch gekennzeichnet, daß die Vertiefungen als Gräben mit rechteckförmigem Querschnitt ausgebildet werden.

11. Verfahren nach Anspruch 9 oder 10, dadurch gekennzeichnet, daß vor dem Zerteilen des Wafers auf beide Seiten des Wafers Metallschichten aufgebracht werden.

12. Verfahren nach Anspruch 9, 10 oder 11, dadurch gekennzeichnet, daß die Zerteilung in Bereichen (40) des Wafers erfolgt, in denen keine Vertiefungen eingebracht worden sind.

13. Verfahren nach einem der Ansprüche 9 bis 12, dadurch gekennzeichnet, daß bei der Belegung der Oberseite ein Dotierstoff eines zweiten Leitfähigkeitstyps verwendet wird.

14. Verfahren nach einem der Ansprüche 9 bis 13, dadurch gekennzeichnet, daß bei der Belegung der Unterseite ein Dotierstoff des ersten Leitfähigkeitstyps verwendet wird.

15. Verfahren nach Anspruch 11, 13 und 14, dadurch gekennzeichnet, daß die Metallschichten auf die erste und die dritte Schicht aufgebracht werden.

Hierzu 4 Seite(n) Zeichnungen

- Leerseite -

| |
|---|
| 1 |
| 2 |
| 3 |

Fig.1

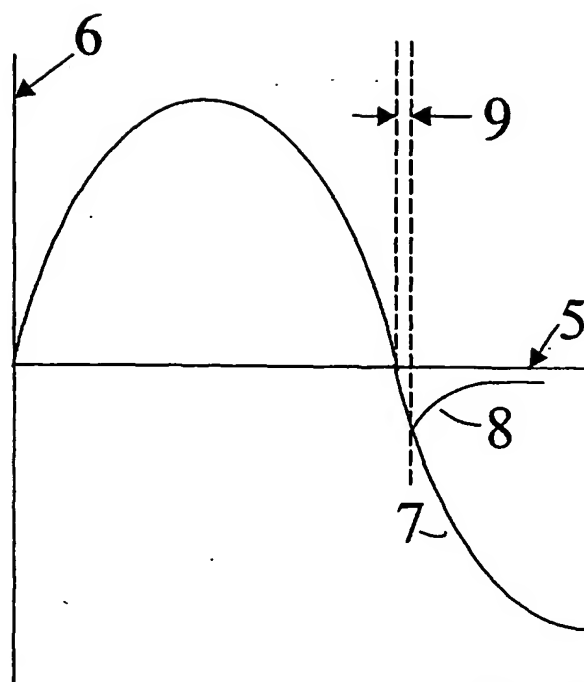


Fig.2

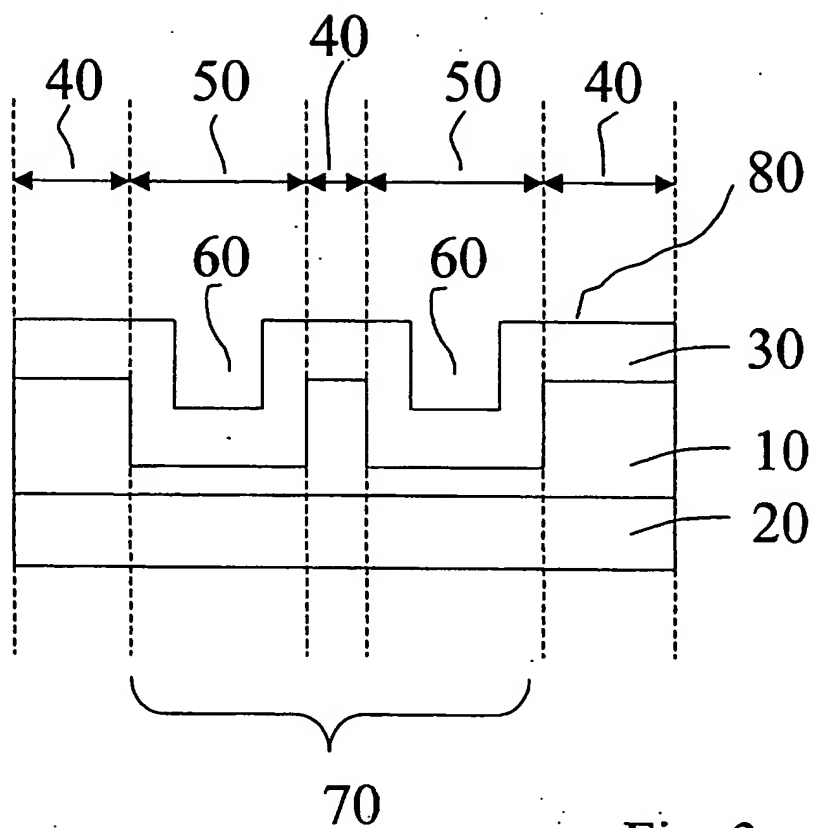


Fig. 3a

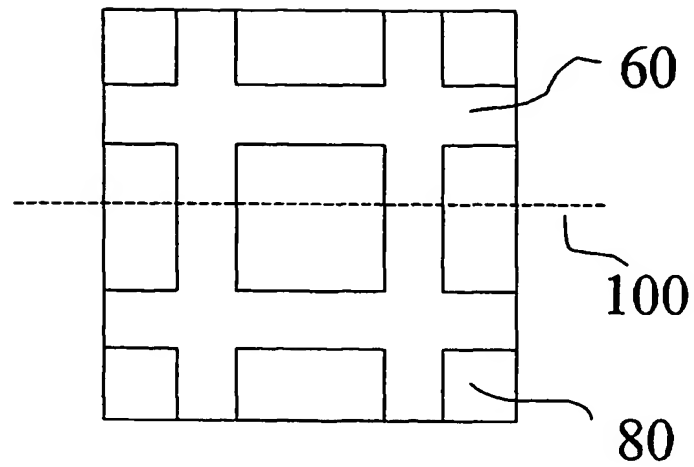


Fig. 3b